

Opracował: dr inż. Krzysztof Smyksy,
Pracownia Mechanizacji, Automatyizacji i Projektowania Odlewni

T3- układy logiczne

Zminimalizować funkcję logiczną - „y”, metodą tablic Karnaugh`a:

a)	$y = \overline{x_1} \cdot x_2 \cdot x_3 + x_1 \cdot \overline{x_3} + x_2 \cdot x_3$
b)	$y = \overline{x_1} \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot \overline{x_3} + x_2 \cdot x_3$
c)	$y = \overline{x_1} \cdot x_2 \cdot x_3 + x_1 \cdot \overline{x_3} + x_1 \cdot x_2 \cdot x_3$
d)	$y = \overline{x_1} \cdot x_2 \cdot x_3 + \overline{x_1} \cdot \overline{x_3} + x_1 \cdot x_3$
e)	$y = \overline{x_1} \cdot x_2 \cdot x_3 + x_2 \cdot \overline{x_3} + x_2 \cdot x_3$

Opracować schematy układu dla zminimalizowanej funkcji zrealizowanego:

- a) wyłącznie na bramkach NAND
- b) wyłącznie na bramkach NOR

- Ilość wejść- dowolna